

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

ABSTRACT OF Korean Patent Application No. 10-1997-026466

A method for forming a resistor of a semiconductor device employing polysilicon pattern is disclosed. According to the present invention, a polysilicon layer including impurities and a metal silicide layer are sequentially formed on a semiconductor substrate structured by a cell region and a peripheral region. Then, the metal silicide layer and the polysilicon layer are patterned to form a first metal silicide pattern and a first polysilicon pattern on the cell region of the semiconductor substrate. At the same time, a second metal silicide pattern and a second polysilicon pattern are formed at the peripheral region. After that, an etching stop layer is formed. The etching stop layer forms a gate including the first metal silicide pattern and first polysilicon pattern and shield the gate, and exposes a second insulation pattern. After removing the second metal silicide pattern using the etching stop layer as a mask, an interconnection is formed on the second polysilicon pattern to use the second polysilicon pattern as a resistor.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1999-002760
H01L 21/28 (43) 공개일자 1999년 01월 15일

(21) 출원번호	특 1997-026466
(22) 출원일자	1997년 06월 23일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	백철호 경기도 용인시 기흥읍 농서리 산 7-1 상록수동 102호 김정석 경기도 성남시 분당구 아탑동 장미마을 동부아파트 112-802호
(74) 대리인	이영필, 권석훈, 노민식

심사청구 : 없음

(54) 폴리 실리콘 패턴을 이용하는 반도체장치의 저항 소자 형성방법

요약

폴리 실리콘 패턴(polysilicon pattern)을 이용하는 반도체 장치의 저항 소자 형성 방법을 개시한다. 본 발명은, 셀 영역(cell region)과 주변 회로 영역(peripheral region)으로 이루어지는 반도체 기판 상에 불순물을 포함하는 폴리 실리콘(polysilicon)막 및 금속 실리사이드(metal silicide)막을 순차적으로 형성한다. 이후에 금속 실리사이드막 및 폴리 실리콘막을 패터닝하여 반도체 기판의 셀 영역에 제1금속 실리사이드 패턴 및 제1폴리 실리콘 패턴을 형성한다. 동시에 반도체 기판의 주변 회로 영역에 제2금속 실리사이드 패턴 및 제2폴리 실리콘 패턴을 형성한다. 이후에 제1금속 실리사이드 패턴 및 제1폴리 실리콘 패턴을 포함하여 게이트를 설정하고 게이트 상을 차폐하며 제2절연막 패턴을 노출시키는 식각 저지막 패턴을 형성한다. 식각 저지막 패턴을 마스크로 제2금속 실리사이드 패턴을 제거한 이후에, 제2폴리 실리콘 패턴 상에 배선을 형성하여 제2폴리 실리콘 패턴을 저항체로 이용한다.

도면

도 5

발명

도면의 간단한 설명

도 1 내지 도 5는 본 발명의 반도체 장치의 저항 소자 형성 방법을 설명하기 위해서 도시한 단면도들이다.

도 6은 본 발명의 반도체 장치의 저항 소자에 이용되는 폴리 실리콘 패턴의 형상을 도시한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 폴리 실리콘 패턴을 이용하는 반도체 장치의 저항 소자 형성 방법에 관한 것이다.

반도체 장치, 특히 메모리(memory) 장치는, 데이터(data)를 저장하기 위해 단위 셀(unit cell)들이 매트릭스(matrix) 모양으로 배치되어 있는 셀 어레이부(cell array part) 또는 셀 영역(cell region)과 셀 구동을 위해 셀 영역의 외곽에 배치되어 있는 주변 회로 영역(peripheral region)으로 이루어진다. 반도체 장치 중 DRAM(Dynamic Random Access Memory) 장치의 경우, 셀 영역의 단위 셀은 하나의 트랜지스터(transistor)와 하나의 커패시터(capacitor)로 구성되어 있으나, 주변 회로 영역은 여러 종류의 트랜지스터, 저항체를 포함하는 저항 소자 등으로 이루어져 있다. 반도체 장치를 제조할 때, 셀 영역과 주변 회로 영역은 거의 동시에 형성되어지기 때문에, 셀 영역의 단위 셀을 형성하는데 이용되는 물질과 동일한 물질을 이용하여 주변 회로 영역을 구성하는 소자를 형성하는 것이 공정의 간소화에 이점이 될 수 있다.

종래의 반도체 장치의 저항 소자에 이용되는 저항체로는 패드(pad) 형태의 폴리 실리콘 패턴(polysilicon pattern)을, 즉, 패드 폴리(pad poly)를 이용하거나, 커패시터의 플레이트 전극(plate node)으로 이용되

는 폴리 실리콘 패턴을 이용하여 동시에 형성되는 플레이트 폴리를 들 수 있다.

그러나, 1기가(Giga) 이상의 기억 용량을 가지는 DRAM 장치에서는 상기와 같은 저항체는 그 이용에 한계에 다다르고 있다. 즉, 상기 패드 폴리를 저항체로 이용하는 방법은, 반도체 장치가 고집적화 됨에 따라 점차 그 이용이 확대되고 있는 화학적 기계적 연마(Chemical Mechanical Polishing) 방법에 적합하지 않은 문제점이 발생한다.

또한, 반도체 장치의 고집적화에 의해 커패시터에 요구되는 커패시턴스가 증가함에 따라, 커패시터의 유전막으로 산화 탄탈륨(TaO)막과 같은 고유전율의 세라믹(ceramic) 물질을 이용하는 방법이 도입되고 있다. 이러한 커패시터에서는 플레이트 전극으로 폴리 실리콘 패턴을 대신하여 질화 티타늄(TiN)막과 같은 금속막을 이용하는 방법이 요구되고 있다. 따라서 이러한 금속막을 이용하는 플레이트 전극은 그 저항값이 폴리 실리콘 패턴에 비해 낮은 값을 가지고 있어 저항체로 이용하기가 곤란하다. 즉, 요구되는 저항 소자의 저항값을 충족시키기 위해서는 저항 소자가 보다 넓은 면적을 차지하도록 형성되어야 한다. 따라서, 반도체 장치의 고집적화의 요구에 적합하지 않은 문제점이 발생할 수 있다.

또한, 반도체 장치의 셀 영역에서 기존에 이용되는 물질 이외의 새로운 물질을 저항 소자의 저항체로 이용하는 방법을 고려할 수 있으나, 새로운 물질을 반도체 장치에 적용함에 따른 새로운 공정 개발의 문제 등에 따른 비용의 증가를 초래하는 문제점이 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 폴리 패드와 플레이트 패드를 대체하여 새로운 물질의 적용 없이 반도체 장치의 고집적화에 적합한 저항 소자 형성 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위하여 본 발명은, 셀 영역과 주변 회로 영역으로 이루어지는 반도체 기판 상에 불순물을 포함하는 폴리 실리콘막 및 금속 실리콘사이드막을 순차적으로 형성한다. 이때, 상기 금속 실리콘사이드막으로는 티타늄 실리콘사이드(TiSi)막 또는 텅스텐 실리콘사이드(WSi)막을 이용한다. 또한, 상기 금속 실리콘사이드막 상에 절연막을 더 형성할 수 있다. 이후에, 상기 금속 실리콘사이드 및 폴리 실리콘막을 패터닝하여 상기 반도체 기판의 셀 영역에 제1금속 실리콘사이드 패턴 및 제1폴리 실리콘 패턴을 형성하여 게이트 전극을 설정한다. 동시에 상기 반도체 기판의 주변 회로 영역에 제2금속 실리콘사이드 패턴 및 제2폴리 실리콘 패턴을 형성한다. 이후에 상기 제1금속 실리콘사이드 패턴, 제1폴리 실리콘 패턴, 제2금속 실리콘사이드 패턴 및 제2폴리 실리콘 패턴의 측부에 스페이서를 더 형성할 수 있다. 다음에, 상기 게이트 전극을 뒤덮으며 상기 제2금속 실리콘사이드 패턴을 노출시키는 식각 저지막 패턴을 형성하고, 상기 식각 저지막 패턴을 마스크로 상기 제2금속 실리콘사이드 패턴을 제거하여 상기 제2폴리 실리콘 패턴을 저항체로 설정한다. 이후에, 상기 제2폴리 실리콘 패턴 상에 배선을 연결한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1내지 도 5는 본 발명의 실시예에 의한 저항 소자 형성 방법을 설명하기 위하여 도시한 단면도들이다.

도 1은 반도체 기판(100) 상에 폴리 실리콘막(200) 및 금속 실리콘사이드막(300)을 순차적으로 형성하는 단계를 나타낸다.

먼저, 반도체 기판(100)에 반도체 기판(100)의 셀 영역(A)과 주변 회로 영역(B)을 설정한다. 이후에 상기 반도체 기판(100)에 활성 영역(active region)과 필드 영역(field region)을 설정하고, 필드 영역에 필드(field;도시되지 않음), 즉, 소자 분리를 형성한다. 이후에 상기 반도체 기판(100)의 전면에 폴리 실리콘막(200)을 증착한다.

연이어, 상기 폴리 실리콘막(200) 상에 금속막, 예컨대, 티타늄(Ti)막 또는 텅스텐(W)막과 같은 금속막을 증착하고 열처리하여, 상기 폴리 실리콘막(200) 상에 금속 실리콘사이드(silicide)막(300)을 형성한다. 또는 금속 실리콘사이드 즉, 티타늄 실리콘사이드(TiSi)나 텅스텐 실리콘사이드(WSi)를 스퍼터링(sputtering) 방법 및 화학 기상 증착(CVD:Chemical Vapour Deposition)을 이용하여 상기 폴리 실리콘막(200) 상에 증착하여 형성한다. 이와 같은 폴리 실리콘막(200)과 금속 실리콘사이드막(300)은 이후에 패터닝 되어 반도체 장치의 게이트 전극(gate node)을 이룬다. 이후에 상기 금속 실리콘사이드막(300) 상에 절연막(400), 예컨대 질화 실리콘(SiN)막을 더 형성하여 상기 게이트 전극을 절연시킬 수 있다.

도 2는 절연막(400), 금속 실리콘사이드막(300) 및 폴리 실리콘막(200)을 순차적으로 패터닝하는 단계를 나타낸다.

상기 금속 실리콘사이드막(300) 상에 제1포토리소그래피 패턴(500)을 형성하여 패터닝할 수 있으나, 도 2에서 도시한 바와 같이 상기 금속 실리콘사이드막(300) 상에 절연막(400)이 형성된 경우를 고려한다. 상기 절연막(400) 상에 제1포토리소그래피 패턴(500)을 형성하고 상기 제1포토리소그래피 패턴(500)을 마스크로 상기 절연막(400), 금속 실리콘사이드막(300) 및 폴리 실리콘막(200)을 순차적으로 식각한다. 이에 따라, 상기 반도체 기판(100)의 셀 영역(A)에서는 제1절연막 패턴(450), 제1금속 실리콘사이드 패턴(350) 및 제1폴리 실리콘 패턴(250)이 형성된다. 또한, 상기 반도체 기판(100)의 주변 회로 영역(B)에서는 제2절연막 패턴(470), 제2금속 실리콘사이드 패턴(370) 및 제2폴리 실리콘 패턴(270)이 형성된다.

이때, 상기 제1금속 실리콘사이드 패턴(350) 및 제1폴리 실리콘 패턴(250)으로 게이트 전극을 이룬다. 이때, 상기 게이트 전극을 제1폴리 실리콘 패턴(250)과 제1금속 실리콘사이드 패턴(350)의 이중막을 포함하여 형성하는 것은 게이트 전극의 저항값을 낮게 유지하여 트랜지스터 소자의 동작 속도를 높이기 위함이다. 상기 제2폴리 실리콘 패턴(270)은 이후에 저항 소자의 저항체로 이용된다. 이와 같이 저항 소자의 저항체를 게이트 전극을 이루는 제1폴리 실리콘 패턴(250), 즉, 게이트 폴리(gate poly)와 동시에 형성되는 제2폴리 실리콘 패턴(270)을 이용하므로 종래의 플레이트 폴리 및 패드 폴리를 용이하게 대체할 수 있다. 따라서 플레이트 폴리 및 패드 폴리를 적용할 때의 문제점을 용이하게 해결하며, 저항 소자의 저항값의 증

가를 구현할 수 있다.

도 3은 제1스페이서(610) 및 제2스페이서(620)를 형성하는 단계를 나타낸다.

먼저, 상기 제1절연막 패턴(450) 및 제2 절연막 패턴(470)이 형성된 반도체 기판(100) 상의 전면에 절연막을 형성하고 상기 절연막을 에치 백(etch back)시켜

제1절연막 패턴(450), 제1금속 실리사이드 패턴(350) 및 제1폴리 실리콘 패턴(250)의 양측벽을 차폐하는 제1스페이서(610), 즉, 게이트 스페이서(gate spacer)를 형성한다. 이에 따라 셀 영역(A) 상에 게이트가 형성된다. 이와 동시에, 상기 제2절연막 패턴(470), 제2금속 실리사이드 패턴(370) 및 제2폴리 실리콘 패턴(270)의 측벽을 차폐하는 제2스페이서(620)이 형성된다.

도 4는 제2폴리 실리콘 패턴(270)의 표면을 노출시키는 단계를 나타낸다.

먼저, 금속 실리사이드막(300) 상에 절연막(400)이 형성되지 않은 경우에는 상기 제1금속 실리사이드 패턴(350)을 차폐시키고, 제2금속 실리사이드 패턴(370)의 표면을 노출하는 식각 저지막 패턴(600)을 형성한다. 본 실시예에서는 금속 실리사이드막(300) 상에 절연막(400)을 형성한 경우이므로, 상기 제1절연막 패턴(450) 및 제1스페이서(610), 즉, 게이트 전극을 포함하는 게이트 부분을 뒤덮어 차폐시키고, 상기 주변 회로 영역(B)에 형성된 상기 제2절연막 패턴(470) 및 제2스페이서(620)를 노출시키는 식각 저지막 패턴(600)을 형성한다. 예컨대, 포토레지스트막을 도포하고 패턴닝하여 상기 제2절연막 패턴(470) 및 제2스페이서(620)를 노출시키는 제2포토레지스트 패턴을 형성하여 식각 저지막 패턴(600)으로 이용한다.

이후에, 상기 식각 저지막 패턴(600)을 마스크로 하여 상기 제2절연막 패턴(470)을 식각하여 제거한다. 이때, 건식 식각 방법 또는 습식 식각 방법을 이용한다. 바람직하게는 건식 식각 방법을 이용하여 상기 제2절연막 패턴(470)을 식각하여 제거한다. 이후에, 상기 제2금속 실리사이드 패턴(370)을 상기 식각 저지막 패턴(600)을 마스크로 식각하여 제거한다. 이때, 건식 식각 방법 예컨대, 염소(Cl_2)계 가스를 포함하는 반응 가스를 플라즈마 소오스(plasma source)로 이용하여 상기 제2금속 실리사이드 패턴(370)을 식각하여 제거한다. 또는 습식 식각 방법을 이용한다. 바람직하게는 불산(HF)을 포함하는 화학 용액을 이용하는 습식 식각 방법을 이용한다. 이에 따라, 상기 주변 회로 영역(B) 상에는 제2폴리 실리콘 패턴(270)이 노출된다. 상기 노출되는 제2폴리 실리콘 패턴(270)을 저항체로 설정한다. 이후에, 상기 식각 저지막 패턴(600)을 제거한다.

도 5는 제2폴리 실리콘 패턴(270) 상에 배선을 연결하는 단계를 나타낸다.

제2폴리 실리콘 패턴(270) 상에 다수의 중간 절연막을 형성하고, 상기 다수의 중간 절연막을 패턴닝하여 콘택 홀을 가지는 다수의 중간 절연막 패턴(810, 830, 850)을 형성한다. 이후에 상기 콘택 홀을 통해서 상기 제2폴리 실리콘 패턴(270)에 연결되는 비트 라인(bit line;910) 및 메탈 라인(metal line;950)과 같은 배선을 형성한다.

이와 같이 제2폴리 실리콘 패턴(270)은 앞서 설명한 바와 같이 반도체 장치에서 이용되는 저항 소자의 저항체로 이용한다. 따라서 반도체 장치가 고집적화 됨에 따라 요구되는 저항값은 증가를 보다 더 충족시키기 위해서 최대한 긴 길이를 가지도록 형성된다. 예컨대, 도 6에 도시한 바와 같이 상기 제2폴리 실리콘 패턴(270)을 폴드(fold)된 형태로 형성함으로써, 상기 제2폴리 실리콘 패턴(270)의 길이를 최대로 크게 할 수 있다. 이때, 저항체의 저항값은 그 길이에 비례하고, 그 단면적 즉, 도 6에 도시한 바와 같은 제2폴리 실리콘 패턴(270)의 넓이 W 와 두께 T 의 곱에 반비례한다. 본 실시예에 의하면 상기 제2폴리 실리콘 패턴(270)은 게이트 전극으로 이용되는 제1폴리 실리콘 패턴(250)과 동시에 형성되므로 그 두께 T 는 동일하다. 따라서, 상기 제2폴리 실리콘 패턴(270)의 넓이 W 와 그 길이를 조절하여 반도체 장치에서 요구되는 저항값을 충족시킬 수 있다.

이와 같이, 게이트 전극에 이용되는 제1폴리 실리콘 패턴(250)과 동시에 형성된 제2폴리 실리콘 패턴(270)을 이용하여 반도체 장치의 저항 소자의 저항체를 형성함으로써, 종래의 패드 폴리나 플레이트 폴리를 이용하여 저항체를 형성하는 방법을 대체할 수 있다.

이상, 본 발명을 구체적인 실시예를 통해서 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

상술한 본 발명에 따르면, 게이트 전극을 이루는 제1폴리 실리콘 패턴, 즉 게이트 폴리를 형성할 때, 동시에 주변 회로 영역에 형성되는 제2폴리 실리콘 패턴을 저항 소자의 저항체로 이용한다. 따라서 별도의 물질층을 형성하는 공정의 도입이 요구되지 않으며, 게이트 전극을 형성하는 기존의 공정을 이용하여 저항 소자의 저항체를 형성할 수 있다. 따라서, 별도의 물질층을 형성하는 공정 개발에 요구되는 추가 비용을 발생시키지 않으며 패드 폴리나 플레이트 폴리를 저항 소자의 저항체로 이용하는 방법을 대체할 수 있다.

(57) 청구의 범위

청구항 1. 셀 영역과 주변 회로 영역으로 이루어지는 반도체 기판 상에 불순물을 포함하는 폴리 실리콘 막 및 금속 실리사이드막을 순차적으로 형성하는 제1단계;

상기 금속 실리사이드막 및 폴리 실리콘막을 패턴닝하여 상기 반도체 기판의 셀 영역에 제1금속 실리사이드 패턴 및 제1폴리 실리콘 패턴을 순차적으로 형성하여 게이트 전극을 설정하며, 상기 반도체 기판의 주변 회로 영역에 제2금속 실리사이드 패턴 및 제2폴리 실리콘 패턴을 순차적으로 형성하는 제2단계;

상기 게이트 전극을 뒤덮으며 상기 제2금속 실리사이드 패턴을 노출시키는 식각 저지막 패턴을 형성하는

제3단계;

상기 식각 저지막 패턴을 마스크로 상기 제2금속 실리콘사이드 패턴을 제거하여 상기 제2폴리 실리콘 패턴을 저항체로 설정하는 제4단계; 및

상기 제2폴리 실리콘 패턴으로 설정된 상기 저항체에 배선을 연결하는 제5단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 저항 소자 형성 방법.

청구항 2. 제1항에 있어서, 상기 금속 실리콘사이드막은 티타늄 실리콘사이드(TiSi)막 또는 텅스텐 실리콘사이드(WSi)막인 것을 특징으로 하는 반도체 장치의 저항 소자 형성 방법.

청구항 3. 제1항에 있어서, 상기 제1단계 이후에

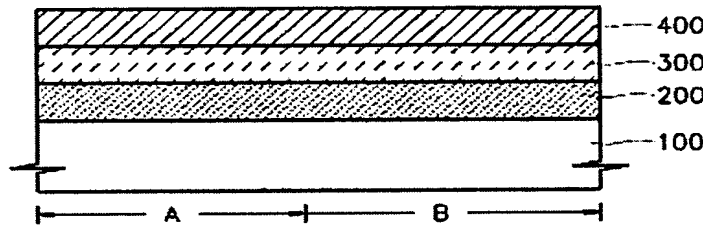
상기 금속 실리콘사이드막 상에 절면막을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 저항 소자 형성 방법.

청구항 4. 제1항에 있어서, 상기 제2단계 이후에

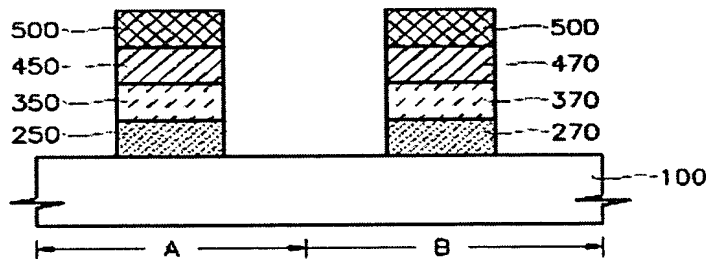
상기 제1폴리 실리콘 패턴, 제1금속 실리콘사이드 패턴, 제2폴리 실리콘 패턴 및 제2금속 실리콘사이드 패턴의 양측부에 스페이서를 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 저항 소자 형성 방법.

도면

도면1



도면2



도면3

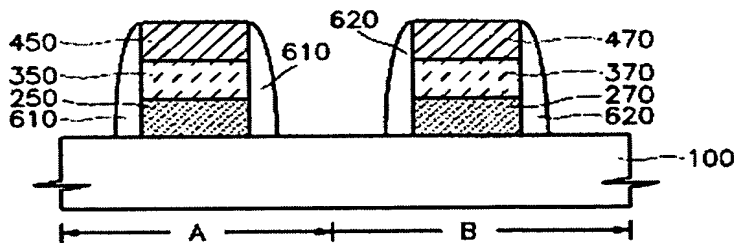


图 24

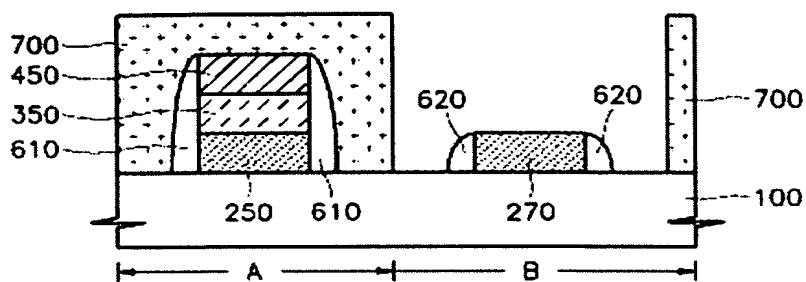


图 25

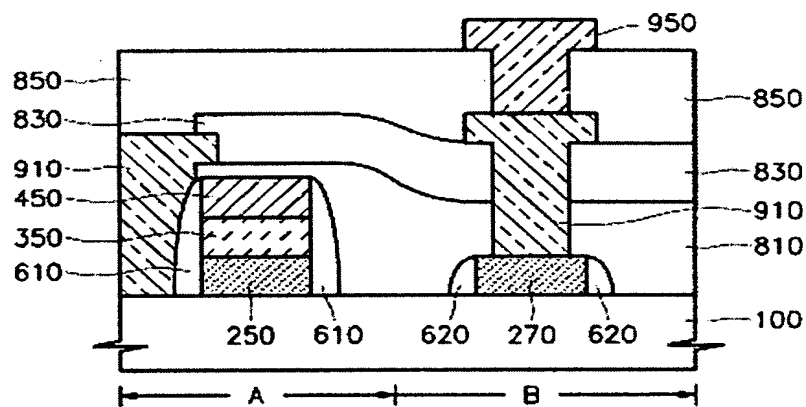


图 26

